

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-110275

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月26日

G 01 R 31/28

G-6912-2G

審査請求 未請求 請求項の数 11 (全5頁)

⑮ 発明の名称 試験重畳回路

⑯ 特 願 昭63-239904

⑰ 出 願 昭63(1988)9月27日

優先権主張 ⑱ 1987年9月28日 ⑲ イギリス(GB) ⑳ 8722770

⑳ 発 明 者 ポール アンソニー イギリス国ハンプシャー, リミントン, ベニントン, ハツ
 ウッド グレーン コープス 35

㉑ 出 願 人 プレッシャー オーバー イギリス国 アイジー1 4 エイキュー, エセックス, イ
 シーズ リミテッド ルフォード, ビカレッジ レーン (番地なし)

㉒ 代 理 人 弁理士 浅 村 皓 外3名

明 細 書

1. 発明の名称

試験重畳回路

2. 特許請求の範囲

(1) ある回路の論理ブロック間におけるバッファとして動作するようにされ、かつ第1の論理ブロックに接続されているデータ入力ポートから第2の論理ブロックに接続されているデータ出力ポートへ行くバッファリングされたデータ経路となるようにした試験重畳回路において、

前記試験重畳回路は走査入力ポート及び走査出力ポートと、データをクロックにより入出力可能なレジスタと、前記データ経路を制御可能に定める複数のマルチプレクサと、前記データ入力ポートから前記レジスタへの経路と、前記レジスタから前記データ出力ポートへの経路と、前記レジスタから前記走査出力ポートへの経路とを備えていることを特徴とする試験重畳回路。

(2) 請求項1記載の試験重畳回路において、更に第1のレジスタと前記データ出力ポートとの間

の経路に配置された第2のレジスタを有することを特徴とする試験重畳回路。

(3) 請求項1又は2記載の試験重畳回路において、更に前記レジスタ又は第1のレジスタから前記データ経路を制御するマルチプレクサへの経路を含むことを特徴とする試験重畳回路。

(4) 請求項1、2又は3記載の試験重畳回路において、更に前記データ出力ポートからマルチプレクサへ行く経路を有し、前記マルチプレクサにより前記走査入力ポートから前記レジスタへ、又は前記第1のレジスタへ行く経路を制御することを特徴とする試験重畳回路。

(5) 請求項2、又は前記いずれかの項記載の試験重畳回路において、前記第1及び第2のレジスタはシフト・レジスタであることを特徴とする試験重畳回路。

(6) 請求項5記載の試験重畳回路において、更にそれぞれのクロック信号を前記第1及び第2のレジスタに印加する手段を有することを特徴とする試験重畳回路。

(7) 複数のモードにより動作するようにされた前記いずれかの請求項記載の試験重畳回路において、第1のモードの前記試験重畳回路は、データをデータ入力ポートからデータ出力ポートへ供給するようにされ、同時にデータ(試験パターン)を前記走査入力ポートから前記レジスタに供給するようにされたことを特徴とする試験重畳回路。

(8) 第2のモードにより動作するようにされた請求項^{7/}記載の試験重畳回路において、データ(試験パターン)はデータ入力ポートから前記レジスタに供給され、同時に試験パターンが前記レジスタから第2のレジスタに供給されることを特徴とする試験重畳回路。

(9) 請求項^{7/}記載の試験重畳回路において、第2のモードの試験パターンは同時に前記第2のレジスタから前記データ出力ポートに供給するように形成されたことを特徴とする試験重畳回路。

(10) 請求項^{9/}記載の試験重畳回路において、更に、前記データ出力ポートから、マルチプレクサを介して前記第1のレジスタへ行く経路を有す

ることを特徴とする試験重畳回路。

(11) 請求項^{10/}記載の試験重畳回路において、更に、前記第1のレジスタから、前記データ入力ポートを制御するマルチプレクサを介して前記データ出力ポートへ行く経路を有することを特徴とする試験重畳回路。

3. 発明の詳細な説明

産業上の利用分野

この発明は、走査入力及び走査出力方法を用いた回路基板試験に用いる試験重畳回路に関する。

従来の技術とその問題点

これまで、走査経路方法は回路基板素子の試験を支援するために用いられてきた。試験パターンを回路素子に適用できるようにするためには、外部的にアクセス可能なノードを設けることが必要である。難解的な「釘のベッド(Bed of Nail)」を作動させる方法がしばしば用いられるが、この方法では多数のノードが、これらのノードの駆動及び監視に係わる機構を直列化する一連のチップに対して、アクセス可能にされる。このような方

- 3 -

- 4 -

法により、試験可能な回路素子数を増加していた。これらの技術は回路素子の「逆駆動」と呼ばれるものの限界を克服して、適当な試験経路を確立することができない。他の従来例では、全てのD型フリップ・フロップを特殊な試験回路により置換して限定的な走査経路の素子試験をエネーブルすることが必要であつた。この解決方法は同期しているこれらの回路部分にアクセスすることができただけである。

第1図は従来の論理回路のブロック図を示しており、これには論理ブロック10が含まれている。論理ブロック10は、それぞれバッファ素子11によつてそれぞれバッファリングされ、次いで第2の論理ブロック12の各入力に供給される複数の出力を有する。

論理ブロック10又はブロック12の各回路素子を試験するときは、外部からアクセス可能な異常に大きな数のノードが必要とされる。

発明の要約

本発明は、前記の限界及び欠点を最小化し、又

は解決する試験重畳回路を提供することを目的とする。

本発明によれば、回路の論理ブロック間のバッファとして働き、かつ第1の論理ブロックに関連したデータ入力ポートから第2の論理ブロックに関連したデータ出力ポートへ行くバッファリングされたデータ経路が得られるようにした試験重畳回路が提供される。さらに、前記試験重畳回路は走査入力ポート及び走査出力ポートと、データをクロック入力又は出力することができるレジスタと、前記データ経路、前記データ入力ポートから前記レジスタへ行く経路、前記レジスタから前記データ出力ポートへ行く経路、及び前記レジスタから前記走査出力ポートへ行く経路を制御可能に変更する複数のマルチプレクサとを備えている。

実施例

添付する第2図及び第3図を参照して実施例により更に詳細に説明する。

第2図に示すように、通常、論理ブロック10と論理ブロック12との間に通常、設けられてい

- 5 -

- 6 -

る従来のパツファ素子 11 は本発明により同期試験重畳回路 14 により置換される。

同期試験重畳回路 14 は、通常の動作においては通常のパツファとして動作し、走査イン（入力）16、走査アウト（出力）18 及び制御入力 20 を備えている。制御入力 20 を介する適当な制御により、種々の走査経路を確立することができる。論理ブロック 10 と前の論理ブロック（図示なし）との間、及び論理ブロック 12 と次の論理ブロック（図示なし）との間には、同じような試験重畳回路が設けられているのが理解される。走査入力 16 と走査出力 18 は、設けられている全ての試験重畳回路に共通させることができ、特定のものを、制御入力 20 の適当な制御信号により動作させることができる。これによつて外部からアクセス可能な位置数が最小化される。

第 3 図を参照すると、本発明による同期試験重畳回路の 1 段が示されている。パツファ素子 11 の各パツファ要素が第 3 図に示す段のうちの一つにより置換されることが理解されるであろう。通

- 7 -

が設けられる。

データ出力ポート 22 からマルチプレクサ 30 へ戻る経路 32 が設けられる。

シフト・レジスタ 25 にはクロック ϕ_1 が入力され、またシフト・レジスタ 27 にはクロック ϕ_2 が入力されている。マルチプレクサ 28、29、30 及び 33 が、制御入力 20（第 2 図）を介して供給される信号の制御により、動作することは理解されるであろう。

本発明の同期試験重畳回路は、以下のような種類のモードで動作することができる。

〔モード "0"（通常動作）〕

以上で説明したように、通常動作では、動作データが論理ブロック 10（第 2 図）からデータ入力ポート 21、インバータ 34、マルチプレクサ 28、経路 23、マルチプレクサ 33、インバータ 35 を介してデータ出力ポート 22 にわずかな遅延又は遅延なしで供給される。従つて、同期試験重畳回路はパツファとして動作する。同時に、試験のために、クロック信号 ϕ_1 を印加すること

常の動作では、各段が論理ブロック 10 から次の論理ブロック 12 へ行く経路のうちの一つのデータをパツファリングするように構築される。このような通常動作の経路は、データ入力ポート 21、マルチプレクサ 28、経路 23、マルチプレクサ 33 を介してデータ出力ポート 22 に行く。通常、このような経路 23 には、図示のような、インバータ 34 が含まれる。走査入力ポート 24 及び走査出力ポート 31 は走査入力 16 及び走査出力 18 にそれぞれ対応し、以上で説明したようにこれらを、設けられている全ての試験重畳回路に共通にしてもよい。

データ入力ポート 21 から、マルチプレクサ 28、マルチプレクサ 29 及びシフト・レジスタ 25 を介して走査出力ポート 31 へ行く経路が設けられている。

走査入力ポート 24 からマルチプレクサ 30、マルチプレクサ 29、シフト・レジスタ 25、シフト・レジスタ 27、経路 26 及びマルチプレクサ 33 を介してデータ出力ポート 22 へ行く経路

- 8 -

により、試験パターンを走査入力ポート 24 からマルチプレクサ 30 及び 29 を介してシフト・レジスタ 25 にクロック入力することができる。マルチプレクサ 30 及び 29 の制御により、試験パターンが同一のときは同時に、試験パターンをロードするときは逐次的に、複数段のシフト・レジスタ 25 にロードすることができる。

〔モード "1"〕

このモード "1" では、マルチプレクサ 33 は経路 26 を選択して経路 23 をディセーブルする。シフト・レジスタ 25 に前にロードされたデータ（試験パターン）をクロック信号 ϕ_2 により、シフト・レジスタ 27 に入力することができ、またデータ出力ポート 22 を介して試験されるべき次の論理ブロック素子の回路に出力することができる。モード "1" においても、クロック信号 ϕ_1 によりマルチプレクサ 28 及び 29 を動作させてデータ入力（論理ブロック 10 の回路からの試験パターン）がデータ入力ポート 21 からシフト・レジスタ 25 に転送される。

- 10 -

〔モード“2”〕

モード“2”において、マルチプレクサ30及び29は走査入力ポート24を選択して、経路23をディセーブルさせ、かつ経路26をエネーブルさせる。シフト・レジスタ27のデータ（試験パターン）は未だデータ出力ポート22に出力されている。クロック信号 ϕ_1 を印加することにより、前にサンプリングされたシフト・レジスタ25内のデータを走査出力ポート31にシフトさせて分析させる。新しい試験パターンが走査入力ポート24に同時に入力されたときは、この試験パターンもシフト・レジスタ25に同時にロードされる。従つて、このモード“2”では、試験パターンがシフト・レジスタ27から論理ブロック12の回路素子に入力されており、また論理ブロック10の回路素子に前に印加された試験パターンの試験結果がシフト・レジスタ25から取り出され、かつ新しい試験パターンがシフト・レジスタ25にロードされ、次に論理ブロック12の回路素子の試験、又は自己試験において用いられる。

- 11 -

試験パターンの同時に入力し、供給し、かつサンプリングすることは、回路試験を促進させるものである。

本発明は以上の実施例に詳細に限定されるものではなく、複数の変形が可能である。例えば、同期試験重畳回路の複数段を、次段の走査入力ポートを構成する1段の走査出力ポートと直列に配置すると共に、制御信号を共通にしてもよい。次に、走査出力ポートは、データがこれに供給されているか、又はこれより読み出されているかに従つて動作する。クロック信号 ϕ_1 及び ϕ_2 は同一クロックの逆相又は別の位相であつてもよい。他の変形も本発明の範囲内で可能である。

4. 図面の簡単な説明

第1図は従来の論理回路のブロック図、

第2図は本発明による同期試験重畳回路を含む論理回路のブロック図、

第3図は第1図に示す試験重畳回路の1段のブロック図である。

16…走査入力、

- 13 -

これらの動作は同時に実行可能である。

〔モード“3”〕

このモード“3”は「自己試験」モードであり、当該段そのものを試験するのに用いられる。経路32は経路32を試験するのに用いられる。クロック信号 ϕ_1 によりシフト・レジスタ25から試験パターンが出力され、マルチプレクサ28、経路23、マルチプレクサ33及びインバータ35を介してデータ出力ポート22に、更に経路32を介してマルチプレクサ30及び29に戻されてシフト・レジスタ25に行き、以下モード“2”でサンプリング可能となる。

論理ブロック10の前段、及び論理ブロック12の次の同じような同期試験重畳回路と連携して、この同期試験重畳回路が論理ブロックの回路素子を試験できることは、明らかである。

制御回路の適当な動作により、外部的にアクセス可能なノードの必要性が最小化されるので、更に多くの回路素子の試験が可能になる。

モード“2”の動作に関連して説明したように、

- 12 -

18…走査出力、

21…データ入力信号ポート、

22…データ出力ポート、

23、26、32…経路、

24…走査入力ポート、

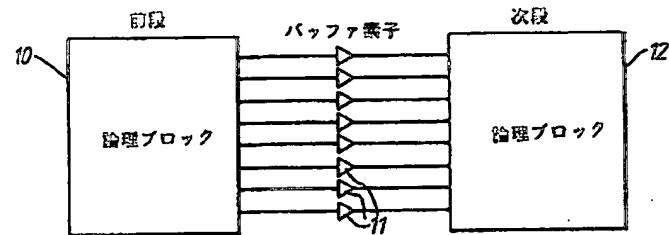
25、27…シフト・レジスタ、

28、29、30、33…マルチプレクサ、

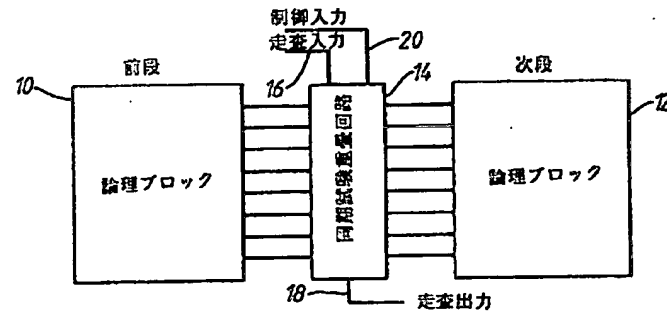
31…走査出力ポート。

代理人 浅 村 皓

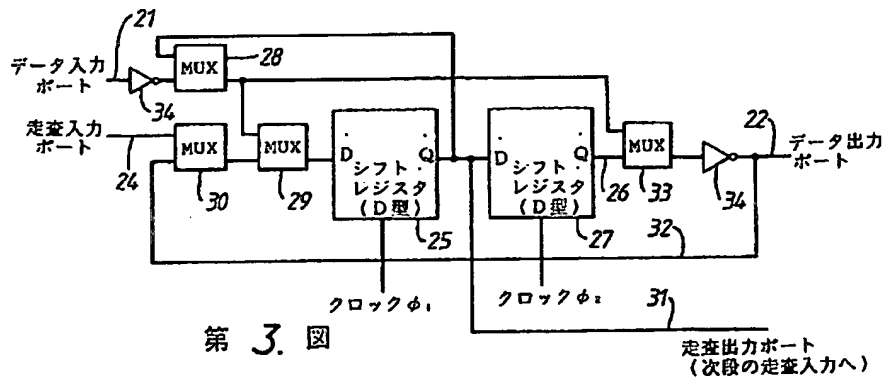
- 14 -



第 1. 図



第 2. 図



第 3. 図